

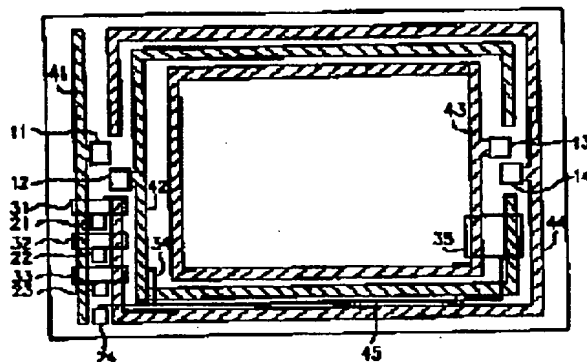
# JP5291492

Patent number: JP5291492  
Publication date: 1993-11-05  
Inventor: KUMAGAI TAKASHI  
Applicant: SEIKO EPSON CORP  
Classification:  
- international: H01L23/60; H01L27/04; H01L23/58; H01L27/04; (IPC1-7): H01L23/60; H01L27/04  
- european:  
Application number: JP19920084010 19920406  
Priority number(s): JP19920084010 19920406

Report a data error here

## Abstract of JP5291492

**PURPOSE:** To prevent an electrostatic protective circuit of an initial stage gate circuit from being conductive owing to current noise. **CONSTITUTION:** In a semiconductor device which comprises a ground wiring 41 only for an output driver, a ground wiring 42 for circuits other than the output driver, a gate circuit for receiving an input signal, and an electrostatic protective circuit 34 for preventing a gate film of the gate circuit from being damaged owing to electrostaticity, the electrostatic protective circuit is supplied with ground potential from the ground wiring for circuits other than the output driver. Further, the electrostatic protective circuit is disposed in the vicinity of the gate circuit. Hereby, there is solved a problem of potential variations in the initial stage gate circuit produced upon the ground wiring potential being varied owing to the operation of the output driver, so that a highly stable semiconductor device is realized. Further, since the electrostatic protective circuit is disposed in the vicinity of the gate circuit which receives an input signal, an area increase of the semiconductor device is prevented.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-291492

(43)公開日 平成5年(1993)11月5日

(51)Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/60

27/04

H 8427-4 M

D 8427-4 M

H 0 1 L 23/56

B

審査請求 未請求 請求項の数2

(全7頁)

(21)出願番号 特願平4-84010

(22)出願日 平成4年(1992)4月6日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 熊谷 敬

長野県諏訪市大和3丁目3番5号セイコーエ

プソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

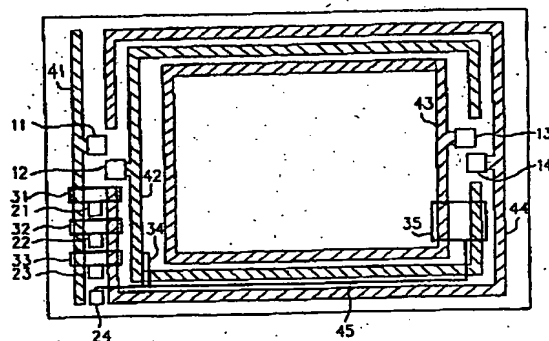
(54)【発明の名称】半導体装置

(57)【要約】 (修正有)

【目的】電流ノイズで初段ゲート回路部の静電保護回路が導通することを防ぐ。

【構成】出力ドライバ専用接地配線41と、出力ドライバ以外の回路用接地配線42と、入力信号を受けるゲート回路と、静電気による前記ゲート回路のゲート膜破壊を防止する静電保護回路34を備える半導体装置において、前記静電保護回路は前記出力ドライバ以外の回路用接地配線から接地電位が供給されている。また、前記静電保護回路が前記ゲート回路の近傍に配置されている。

【効果】出力ドライバ動作による接地線電位の振動発生時の初段ゲート回路での電位変動を解決したので、高い安定性を有する半導体装置を実現できる。また、静電保護回路を入力信号を受けるゲート回路の近傍に配置されているので、半導体装置の面積増加を防ぐことができる。



## 【特許請求の範囲】

【請求項 1】出力ドライバー専用接地配線と、出力ドライバー以外の回路用接地配線と、入力信号を受けるゲート回路と、静電気による前記ゲート回路のゲート膜破壊を防止する静電保護回路を備える半導体装置において、前記静電保護回路は前記出力ドライバー以外の回路用接地配線から接地電位が供給されていることを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、前記静電保護回路が前記ゲート回路の近傍に配置されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置、特に静電保護回路の配置に関する。

## 【0002】

【従来の技術】従来のこの種の半導体装置としては、例えば、日経エレクトロニクス 1988 年 9 月 5 日号 (No. 455)、120 頁至 196 頁記載のものがあつた。

【0003】図 6 は従来の半導体装置における回路配置を示す図であり、11、12 は接地電位が接続される VSS パット、13、14 は電源電位が接続される VDD パット、21、22、23 は出力パット、24 は入力信号が接続される入力パットである。一般に、外部信号ピン配置の兼ね合いで、必ずしも前記入力パットは半導体装置の特定の場所にまとめて配置されること難しく、一部の入力パットは図 6 に示すように出力パットに隣接して配置されることが多い。31、32、33 は出力ドライバー回路、35 は前記入力信号が接続される内部回路の一部、45 は入力信号を内部回路に接続するための信号配線である。41、42 は接地電位を内部回路に供給する VSS 配線であり、41 は出力ドライバー回路専用、42 はその他回路用に用いられる。43、44 は電源電位を内部回路に供給する VDD 配線であり、44 は出力ドライバー回路専用、43 はその他回路用に用いられる。ここで、出力ドライバー回路専用の接地線配線、電源線配線を用いたのは、出力ドライバー回路で外部大負荷容量駆動時に発生する電流ノイズが他回路の動作に影響を与えるのを防ぐためであり、出力ドライバー回路系とその他回路系の電源及び接地線の共通インピーダンスを少なくしている。34 は静電気による前記内部回路 35 のゲート膜破壊を防止する静電保護回路であり、前記入力パット 24 に隣接して配置され、接地電位への接続はレイアウト効率を上げるため最近接の出力ドライバー用接地配線 41 を用いて行なわれている。

【0004】図 7 は図 6 の配置をした従来の半導体装置の等価回路を示す図である。MOS トランジスタ 352、353 で構成されるインバータ 351 は内部回路の初段ゲート回路の一例であり、入力を入力パット 24 に

接続される。MOS トランジスタ 312、313 で構成されるインバータ 311 は出力ドライバー回路の一例であり、その出力は出力パット 21 に接続される。MOS トランジスタ 341 は静電保護回路 34 の一例であり、ドレイン電極は入力パット 24 に、ゲート電極及びソース電極は出力ドライバー回路内 NMOS トランジスタ 313 のソース電極と同一の接地線に接続される。抵抗 411、インダクタンス 412 は出力ドライバー回路用接地配線の寄生抵抗、寄生インダクタンスであり、抵抗 441、インダクタンス 442 は出力ドライバー回路用電源配線の寄生抵抗、寄生インダクタンスである。抵抗 421、インダクタンス 422 は出力ドライバー以外の回路用接地配線の寄生抵抗、寄生インダクタンスであり、抵抗 431、インダクタンス 432 は出力ドライバー以外の回路用電源配線の寄生抵抗、寄生インダクタンスである。抵抗 51 および 53、インダクタンス 52 および 54 はボンディングワイヤー部の寄生抵抗、寄生インダクタンスであり、おのおの個別に配置されている接地パット 11、12 から接続され、リードフレームを含む半導体装置外部の接地配線の寄生抵抗 64、寄生インダクタンス 65 を介して基準接地電位に接続される。また、抵抗 61、インダクタンス 62 および容量 63 はボンディングワイヤーおよびリードフレームを含む出力パット 21 に接続される信号ラインの寄生抵抗、寄生インダクタンスおよび負荷容量であり、一般に負荷容量 63 は 100 ピコファラッド程度もしくはそれ以上となる。尚、図 7 等価回路では図 6 配置図で示される 32、33 出力ドライバー回路は省略されている。

## 【0005】

【発明が解決しようとする課題】従来の半導体装置は上記のように構成されているため、以下のような課題がある。図 7 の半導体装置の等価回路において、出力パット電位 VO がハイレベルからローレベルに変化するとき、負荷容量 63 に蓄積された電荷は、導通した NMOS トランジスタ 313、接地配線を介して急激に基準接地電位に流れ込む。一般に、出力ドライバー回路は高負荷を短時間に駆動できるよう能力が高くなる様設計し、オン抵抗は接地配線系の寄生インピーダンスと同程度となるため、NMOS トランジスタ 313 のソース電位 VS1 は VO が降下すると同時に上昇する。前述の文献では VS1 は最大 2.14 V にもなると報告している。その後、電流の急激な変化と、出力パットに接続される信号ラインおよび接地配線に介在する寄生抵抗、寄生インダクタンスにより接地線に電位の振動を引き起こす。図 8 は半導体装置内部電圧の時間変化を示すものであり VO、VS1 は図 8 の様になる。一方、内部回路内の NMOS トランジスタ 353 のソース電位 VS2 は出力ドライバー回路の接地配線系との共通インピーダンスが抵抗 64、インダクタンス 65 のみであり、また動作電流も出力ドライバー回路に比べて十分に低いため、上記動作

時の接地線電位の振動も小さい。

【0006】しかし、静電保護回路のNMOSトランジスタ341のソース電位はVS1であるため、例えば入力バット電位VGにTTLレベルのローレベルである0.8Vが印加されていた場合、上述のVS1の上昇でVS1とVGの電位差がNMOSトランジスタ341のしきい値電圧より大きくなると、同トランジスタが導通しVGの電位も上昇する。このNMOSトランジスタのしきい値電圧は0.6V程度であるため、VGは最大1.5V以上まで上昇することになる。インバータ351がTTLレベルコンパチブルであるとするとそのスレシヨルド電圧は1.5V程度であるから、上記動作では本来論理的にロウレベルであるべき入力レベルが一時的に不定レベルもしくはハイレベルと判定されことになる。従って、従来の半導体装置では出力ドライバー動作時の電流により内部電源配線に電位変動が発生した場合、誤動作が発生するという課題を有していた。

【0007】本発明はかかる課題を解決するためになされたものであり、電流ノイズによる初段ゲート回路の誤動作を防ぎ、高い安定性を有する半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置は、出力ドライバー専用接地配線と、出力ドライバー以外の回路用接地配線と、入力信号を受けるゲート回路と、静電気による前記ゲート回路のゲート膜破壊を防止する静電保護回路を備える半導体装置において、前記静電保護回路は前記出力ドライバー以外の回路用接地配線から接地電位が供給されていることを特徴とする半導体装置であり、また上記構成の半導体装置において、前記静電保護回路が前記ゲート回路の近傍に配置されていることを特徴とする半導体装置である。

【0009】

【作用】本発明の半導体装置では、電流ノイズ等により電源線、接地線に電位変動が発生しても、半導体装置の初段ゲート回路のゲート端子に接続される静電保護回路の接地電位への影響は少なく、静電保護回路が導通することはない。

【0010】

【実施例】図1は本発明の請求項1に係わる実施例の一例を示す半導体装置の回路配置を示す図である。図1中、静電保護回路34を除いたその他構成要素の配置は図6の従来装置の配置と同一である。静電保護回路34は信号配線45に接続されると共に、接地線への配線は出力ドライバー以外の回路用接地配線42を用いて行なわれている。

【0011】図2は図1の配置をした本発明の半導体装置の等価回路を示す図である。本発明の半導体装置の等価回路は、静電保護回路内のNMOSトランジスタ341の接地線の接続方法を除き図7の従来装置の等価回路

と同一である。NMOSトランジスタ341のゲート電極およびソース電極は、前述のように出力ドライバー以外の回路用接地配線42に接続されているため、等価回路では寄生抵抗423、寄生インダクタンス424を介して出力ドライバー以外の回路用接地バット12に接続される。

【0012】図2の半導体装置の等価回路において、出力バット電位VOがハイレベルからローレベルに変化するとき、負荷容量63に蓄積された電荷は、導通したNMOSトランジスタ313、接地配線を介して急激に基準接地電位に流れ込み、従来装置と同様に出力ドライバー回路内NMOSトランジスタ313のソース電位VS3はVOが降下すると同時に上昇し、その後振動する。

【0013】一方、内部回路内のNMOSトランジスタ353のソース電位VS2は出力ドライバー回路の接地配線系との共通インピーダンスが抵抗64、インダクタンス65のみであり、また動作電流も出力ドライバー回路に比べて十分に低いため、上記動作時の接地線電位VS2の振動も小さい。

【0014】また、静電保護回路のNMOSトランジスタ341のソース電位VS1はNMOSトランジスタ353と同様であり、また動作電流は流れないため、上記動作時の接地線電位VS1の振動も小さくVS2と同じになる。

【0015】この様な状態で、入力バット電位VGに例えばTTLレベルのローレベルである0.8Vが印加されていたとき、上述の接地線系の振動が発生した場合でもNMOSトランジスタ341の接地電位VS1の振動は十分小さく、VS1の電位がVGより上昇することはない。よって、NMOSトランジスタ341が導通する事はないので、VGの電位は0.8V固定となる。従って、本発明の半導体装置では出力ドライバー動作時の電流により内部電源配線に電位変動が発生した場合でも、インバータ351が受ける影響は極小であり、誤動作が発生することはない。

【0016】図3は本発明の半導体装置内部電圧の時間変化を示す図である。

【0017】図4は本発明の請求項2に係わる実施例の一例を示す半導体装置の回路配置を示す図である。図4中、静電保護回路34を除いたその他構成要素の配置は図6の従来装置の配置と同一である。静電保護回路34は信号配線45に接続されていると共に、信号配線45が接続される内部回路35に隣接して配置され、接地線への結線は内部回路35の接地配線の近傍にて行なわれる。

【0018】図5は図4の配置をした本発明の半導体装置の等価回路を示す図である。図5の等価回路は、静電保護回路内のNMOSトランジスタ341の接地線の接続方法を除き図7の従来装置の等価回路と同一である。NMOSトランジスタ341のゲート電極およびソース

電極は、前述のように内部回路35の近傍に接続されているため、等価回路ではNMOSTランジスタ353のソース電極と同一ノードに接続される。

【0019】図5の半導体装置の等価回路において、出力バット電位VOがハイレベルからローレベルに変化するとき、負荷容量63に蓄積された電荷は、導通したNMOSTランジスタ313、接地配線を介して急激に基準接地電位に流れ込み、従来装置と同様に出力ドライバー回路内NMOSTランジスタ313のソース電位VS3はVOが降下すると同時に上昇し、その後振動する。

【0020】一方、内部回路内のNMOSTランジスタ353のソース電位VS2および静電保護回路のNMOSTランジスタ341のソース電位VS1は出力ドライバー回路の接地配線系との共通インピーダンスが抵抗64、インダクタンス65のみであり、また動作電流も出力ドライバー回路に比べて十分に低いため、上記動作時の接地線電位VS2の振動も小さい。

【0021】このような状態で、入力バット電位VGに例えばTTLレベルのローレベルである0.8Vが印加されていたとき、上述の接地線系の振動が発生した場合でもNMOSTランジスタ341の接地電位VS1の振動は十分小さく、VS1の電位がVGより上昇することはない。よって、NMOSTランジスタ341が導通することはないので、VGの電位は0.8V固定となる。従って、本発明の半導体装置では出力ドライバー動作時の電流により内部電源配線に電位変動が発生した場合でも、インバータ351が受ける影響は極小であり、誤動作が発生することはない。

【0022】また、この本発明の請求項2に係わる半導体装置では静電保護回路という装置に必須な回路の配置場所を工夫するだけで上述の効果が得られ、本発明の請求項1に係わる半導体装置に比べ静電保護回路のための追加的な接地配線の配置による装置面積増加をとまわず実現できるという効果が付加される。

【0023】

【発明の効果】以上に述べたように本発明では、静電保護回路の接地配線を出力ドライバー以外の回路用接地配線を用いて行なうことにより、出力ドライバー動作による接地線電位の振動発生時の初段ゲート回路での電位変

動を解決したので、高い安定性を有する半導体装置を実現できる。

【0024】また、本発明では、静電保護回路を入力信号を受けるゲート回路の近傍に配置されているので、上記効果に加え、半導体装置の面積増加を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の請求項1に係わる半導体装置の回路配置を示す図。

【図2】本発明の請求項1に係わる半導体装置の等価回路図。

【図3】本発明の半導体装置の動作波形図。

【図4】本発明の請求項2に係わる半導体装置の回路配置を示す図。

【図5】本発明の請求項2に係わる半導体装置の等価回路図。

【図6】従来の半導体装置の回路配置を示す図。

【図7】従来の半導体装置の等価回路図。

【図8】従来の半導体装置の動作波形図。

【符号の説明】

11、12・・・VSSバット

13、14・・・VDDバット

21、22、23・・・出力バット

24・・・入力バット

31、32、33・・・出力ドライバー回路

34・・・静電保護回路

35・・・内部回路

41・・・出力ドライバー回路用接地配線

42・・・出力ドライバー以外の回路用接地配線

43・・・出力ドライバー以外の回路用電源配線

44・・・出力ドライバー回路用電源配線

45・・・信号配線

51、53、61、64・・・寄生抵抗

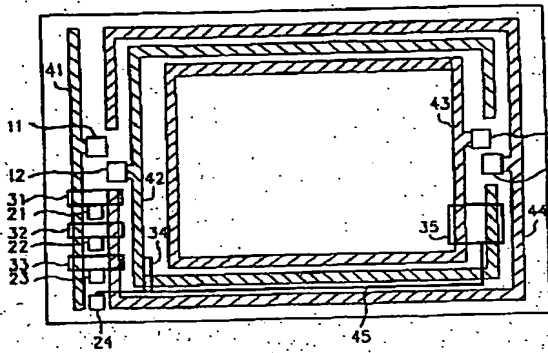
52、54、62、65・・・寄生インダクタンス

63・・・負荷容量

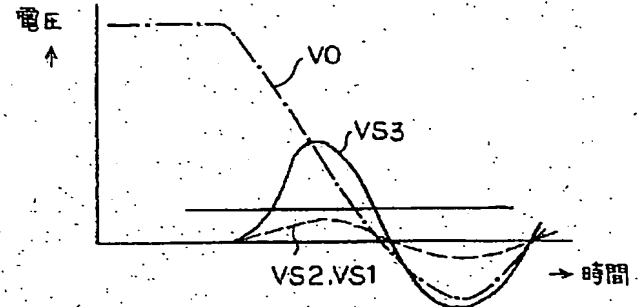
411、421、423、431、441・・・寄生抵抗

412、422、424、432、442・・・寄生インダクタンス

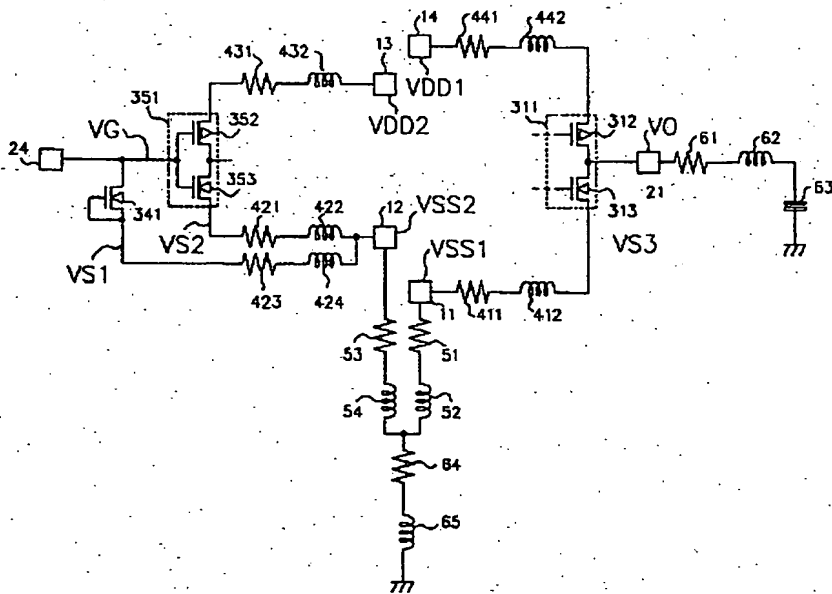
【図 1】



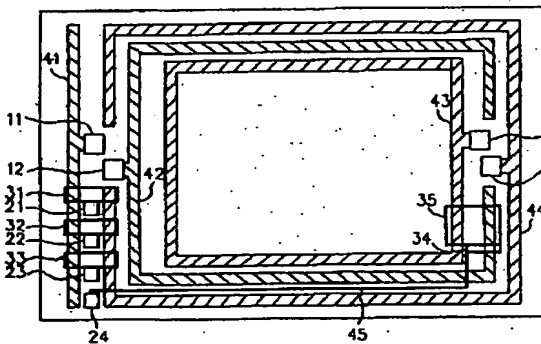
【図 3】



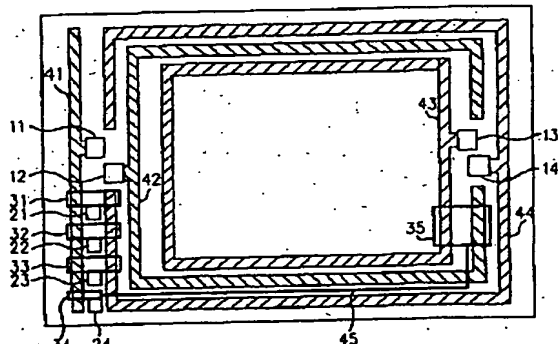
【図 2】



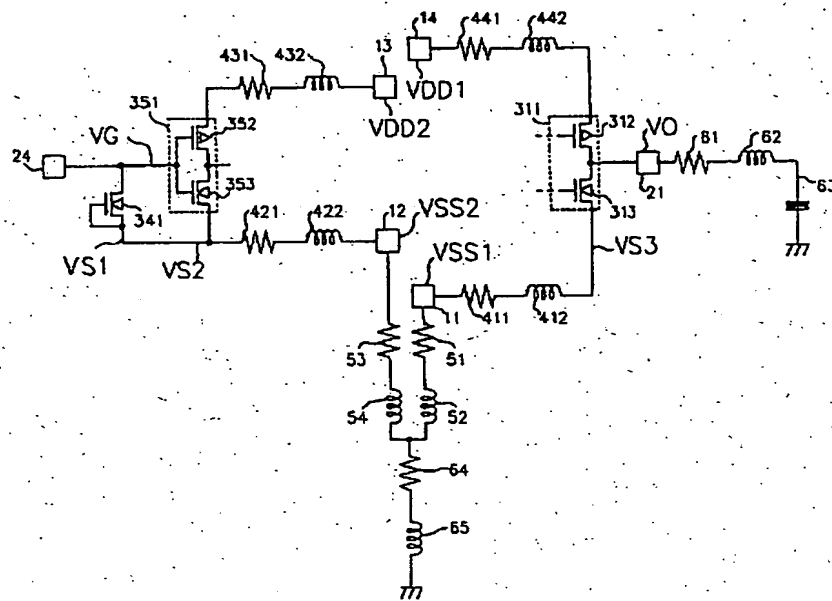
【図 4】



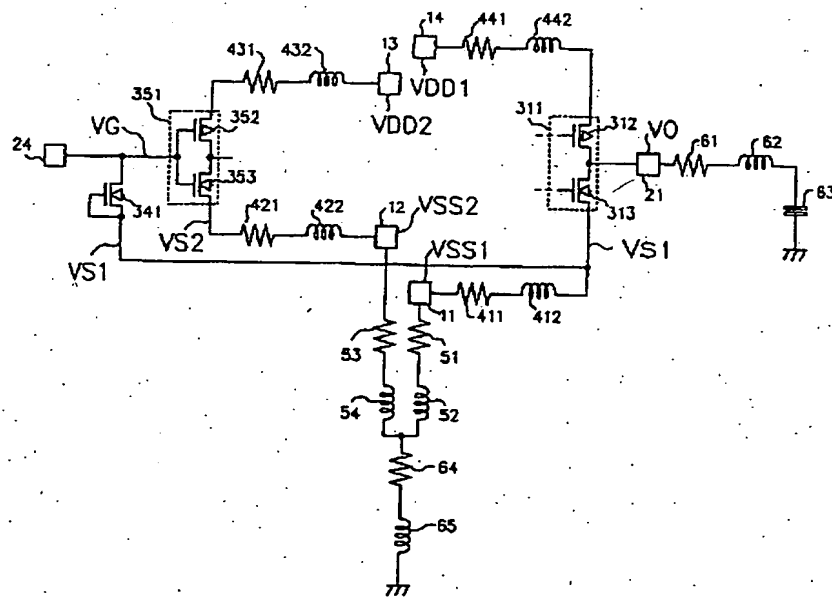
【図 6】



【図5】



【図7】



【図 8】

